

BUFFER STORAGE CONTROL SYSTEM

Publication number: JP57015274

Publication date: 1982-01-26

Inventor: OZAWA HIDEKIYO; FUJII SHIGERU

Applicant: FUJITSU LTD

Classification:

- International: G06F12/12; G06F12/12; (IPC1-7): G06F13/00;
G11C9/06

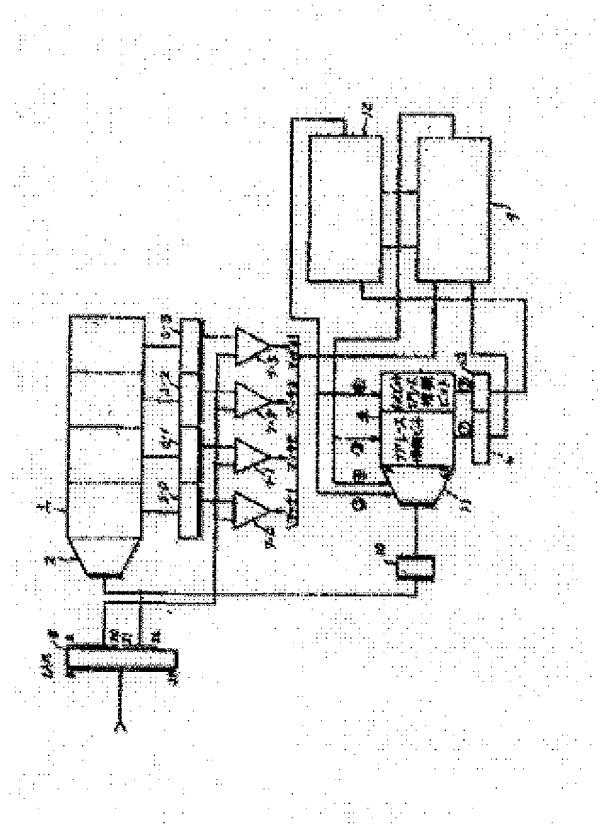
- European: G06F12/12

Application number: JP19800088649 19800630

Priority number(s): JP19800088649 19800630

[Report a data error here](#)**Abstract of JP57015274**

PURPOSE: To inhibit the dynamic expelling operation of a buffer memory device by providing a bit for inhibiting expulsion from the buffer memory device and a circuit which resets the bit on the basis of replacement information. **CONSTITUTION:** A storage part for data sent, block by block, from a main storage device and a tag part 1 having a storage area for information on addresses of data stored in the main storage device are provided, and an area for inhibition replacement information bits is added to a replacement information storing circuit 4. Then, a generating and erasing circuit 12 for inhibition/replacement bit information and a replacement determining circuit 9 which determines a block to be expelled on the basis of the replacement information and inhibition/replacement bit information when no block to be access resides in the memory device are provided; data belonging to a predetermined address area are excluded from the block to be expelled and when some block is to be expelled continuously at a prescribed frequency, its expulsion is canceled.



⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭57-15274

⑫ Int. Cl.³ 識別記号 庁内整理番号 ⑬ 公開 昭和57年(1982)1月26日
 G 11 C 9/06 7056-5B
 G 06 F 13/00 7361-5B
 発明の数 1
 審査請求 未請求

(全 9 頁)

⑭ パッファ記憶制御方式 ⑭ 発明者 藤井茂
 ⑭ 特願 昭55-88649 川崎市中原区上小田中1015番地
 ⑭ 出願 昭55(1980)6月30日 富士通株式会社内
 ⑭ 発明者 小沢秀清 ⑭ 出願人 富士通株式会社
 川崎市中原区上小田中1015番地 川崎市中原区上小田中1015番地
 富士通株式会社内 ⑭ 代理人 弁理士 松岡宏四郎

明細書

1 発明の名称

パッファ記憶制御方式

2 特許請求の範囲

(1) 主記憶装置から1ブロック単位のデータが転送されて格納されるデータが格納部と、該データ格納部に格納されているデータの上記主記憶装置上でのアドレス情報を格納するアドレス情報格納エリアを少なくともそなえたタグ部とをそなえ、同一ライン上に存在する複数ブロックに対するリブレース情報を格納するリブレース情報格納エリアを有するパッファ・メモリ装置をそなえたデータ処理システムにおいて、アクセス・アドレス情報をもとづいてインヒビット・リブレース・ビット情報を生成し、リブレース情報を上記アドレス情報格納エリア内に上記アドレス情報をとともに予め格納され、データ読み出し時に参照されることを特徴とするパッファ記憶制御方式。

・リブレース・ビット情報をもとづいて追い出しブロックを決定するリブレース決定回路を設け、予め定められたアドレス領域に属するデータについて追い出し対象ブロックから除外し、該ブロックが所定回数連続して追い出されるべきブロックとなつた時に前記除外を解除するようにした事を特徴とするパッファ記憶制御方式。

(2) 上記追い出し対象ブロックから除外されるデータが属する上記予め定められたアドレス領域は上記インヒビット・リブレース・ビット情報生成消滅回路に予め与えられるアドレス領域指定情報により選択可能にされることを特徴とする特許請求の範囲第(1)項記載のパッファ記憶制御方式。

(3) 上記インヒビット・リブレース・ビット情報は上記アドレス情報格納エリア内に上記アドレス情報をとともに予め格納され、データ読み出し時に参照されることを特徴とする特許請求の範囲第(1)項又は第(2)項記載のパッファ記憶制御方式。

3 発明の詳細を説明

メモリ装置を構成するもの。2社タグ部1のデコーダ、3-0、3-1、3-2、3-3は夫々アドレス情報格納エリア、4はリプレース・アレイ即ちリプレース情報記憶回路、5-0、5-1、5-2、5-3は夫々アドレス情報統出しレジスタであり、上記アドレス情報格納エリア3-0、3-1、3-2、3-3に対応しているもの。6はリプレース情報レジスタであり、上記リプレース情報記憶回路4に対応しているもの。7-0、7-1、7-2、7-3は夫々比較回路、8は実効アドレス・レジスタであり、図示しない主記憶装置上の実効アドレス情報がセットされるもの、9はリプレース決定回路であり、後述する如クリプレース(置換)すべきブロック、即ち追い出しブロックを決定するリプレース決定処理を行なうものを夫々表わしている。

第1図において、タグ部1のアドレス情報格納エリア3-0、3-1、3-2、3-3は周知の如く、夫々例えば64個のラインで構成されており、各ラインは主記憶装置のラインと1対1に対応

本発明は、バッファ記憶制御方式、特に例えば低位アドレス部分の如き予め定められたアドレス部におけるバッファ・ヒット率を高め、全体としてのバッファ・ヒット率を高めるようにしたバッファ記憶制御方式に関するものである。

一般に大型の情報処理システムにおいては、高速度でアクセスすることができるバッファ・メモリ装置を設け、主記憶装置上のデータを1ブロック単位で上記バッファ・メモリ装置に転送し格納しておき、処理進行に当って上記バッファ・メモリ装置をアクセスするようとする。

この種のバッファ・メモリ装置は、一般に主記憶装置から1ブロック単位のデータが転送され格納されるデータ格納部と該データ格納部に格納されたデータの主記憶装置上のアドレス情報が格納されるタグ部とで構成される。

第1図はこの種のバッファ・メモリ装置に対するアクセス処理動作を行なうバッファ記憶制御方式の従来例を示している。図中、1はタグ部であり、図示しないデータ格納部とともにバッファ

応づけられたタグ部1の例えばラインmには主記憶装置上のラインmに属するデータブロックのアドレス情報が格納されるものとする。またタグ部1のリプレース情報記憶回路4には各ライン毎にリプレース情報が格納され、例えばラインmに応する単位リプレース情報格納エリア4-mにはデータ格納部のラインmに属する4個のデータ・ブロックに対するリプレース情報が格納される。ここでリプレース情報とは各データ・ブロックの参照履歴を表わす情報と考えてよい。バッファ・メモリ装置に対する読み出し処理は次のように行われる。即ち

(1) 実効アドレス・レジスタ8に実効アドレス情報がセットされる。ここで実効アドレス情報とはアクセスしたいデータのアドレス番地を指示する情報である。上記レジスタ8にセットされた実効アドレス情報のうち例えばビット21ないし26にもとづいてタグ部1がアクセスされる。

(2) 上記タグ部1のデコーダ2は上記ビット21

ないし26を解読し64個のラインのうち1つのライン例えばラインmを選択し、該選択されたラインmに属する4個の単位アドレス情報格納エリア3m-0、3m-1、3m-2、3m-3内に格納されているアドレス情報が一齊に読み出され夫々レジスタ5-0、5-1、5-2、5-3にセットされる。

なお、実効アドレスレジスタ8のビット21～26はレジスタ10にもセットされる。デコーダ11社、これらのビットを解読して64個のラインのうち1つのラインに属する4個の単位アドレス情報格納エリア3m-0、3m-1、3m-2、3m-3のリプレース情報記憶回路14から読み出されレジスタ6にセットする。

(3) 比較回路7-0、7-1、7-2、7-3は夫々レジスタ5-0、5-1、5-2、5-3にセットされたアドレス情報と実効アドレス情報のビット8ないし20とを比較する。

(4)～(6) 比較回路7-0、7-1、7-2、7-3のいずれか例えば比較回路7-1が比較一致

信号を出力すると、該比較一致信号により実効アドレス情報が指示するデータがバッファ・メモリ装置上に転送。格納されていることがわかり、単位アドレス情報格納エリア3m-1に対応する表示しないデータ格納部から上記実効アドレス情報に対応したデータが読み出される。左のアドレス情報格納エリア3-0, 3-1, 3-2, 3-3にはアドレス情報とともに個々のアドレス情報毎に付加されたパリッド・ビット情報が格納されており、仮に比較一致信号が得られたアドレス情報に対応するパリッド・ビット情報が、“無効”即ち当該アドレス情報に対応するデータが無効である旨を指示している場合比較一致信号がマスクされデータ格納部からのデータ読み出しは行なわれない。

(4)～(6) 一方比較回路7-0, 7-1, 7-2, 7-3がいずれも比較不一致信号を出力した場合、バッファ・メモリ装置上に所望のデータが存在していないことがわかり、リプレース決定回路9は上記レジスタ6内のリプレース情報を

もとづいて追い出しブロックを決定するリプレース決定処理を行なう。ここでリプレース決定処理は例えばいわゆるLRU(Least Recently Used)処理方式にもとづいて行なわれ、最も古い時点でアクセスされたブロックが追い出しブロックとして決定される。そしてリプレース決定回路9が例えば単位アドレス情報格納エリア3m-1に対応するデータ・ブロックを追い出しブロックとして決定処理した場合、上述した実効アドレス・レジスタ8にセットされた実効アドレス情報が指示するデータ・ブロックが主記憶装置上からバッファ・メモリ装置データ格納部に転送され上記単位アドレス情報格納エリア3m-1に対応する単位データ格納エリアに格納される。同時に上記単位アドレス情報格納エリア3m-1に、上記転送データ・ブロックの主記憶装置上でのアドレス情報が格納される。

このようなバッファ・メモリ装置をそなえたデータ処理システムにおいて、一般にデータ即ち命

令又はオペランドをHSB(ハイ・スピード・バッファ—上記バッファ・メモリ装置に同じ)から読出す際それがHSB内にあった割合をバッファ・ヒット率といい、バッファ・ヒット率を出来る限り大きくとることが処理速度の向上の上から望ましいこととされている。このバッファ・ヒット率をスーパーバイザーモード(以下スーパーバイザーモードと呼ぶ)とプロブレムプログラムモード(以下プロブレムモードと呼ぶ)との場合に分けて考えてみると、過去の実測例などからスーパーバイザーモードでのバッファ・ヒット率はプロブレムモードでのバッファ・ヒット率に較べてかなり高いことが知られている。これはスーパーバイザーモードでの命令あるいはオペランドがプロブレムモードに較べ連続性が少なくて再使用の確率が少ないと想定される。

オペレーティング・システムが巨大化するにしたがいデータ処理装置がスーパーバイザーモードで走る割合が高くなりスーパーバイザーモードでのバッファ・ヒット率の低さが問題となっている。そ

してスーパーバイザモードでの主記憶装置へのアクセス傾向をみてみると、オペレーティング・システムの核となる低位アドレス部分へのアクセス頻度が非常に高いことが知られている。

この点を考慮してバッファ・ヒット率を高めるべく、低位アドレス部分を固定アドレスとしてHSB内に格納しておく方式が考えられる。しかしながら例えばオペレーティング・システムで頻繁に利用される低位アドレス部分を固定的にバッファ・メモリ装置に置くと科学技術計算のようにオペレーティング・システムが余り介入しないプログラムでは、その固定部分が余りアクセスされず、バッファ・ヒット率が下がる場合がある。

そこで本発明の目的は以上の問題点を解決するもので、バッファ・メモリ装置からの追出しを禁止するビットとリプレース情報に基いてそのビットをリセットする回路を設け、ある領域の中で実際に頻繁にアクセスされる部分のみをバッファ・メモリ装置に優先的に置くようにし、かつその領域があまりアクセスされないようになつたら追い出す

ことができるようになり、動的にバッファメモリ装置の追い出し禁止が出来るようになしたものである。

上記本発明の目的は、主記憶装置から1ブロック単位のデータが転送されて格納されるデータ格納部と、該データ格納部に格納されているデータの上記主記憶装置上のアドレス情報を格納するアドレス情報格納エリアを少なくともそなえたタグ部とをそなえ、同一ライン上に存在する複数ブロックに対するリプレース情報を格納するリプレース情報格納エリアを有するバッファ・メモリ装置をそなえたデータ処理システムにおいて、アクセス・アドレス情報をもとづいてインヒビット・リプレース・ビット情報を生成しリプレース情報を基いてインヒビット・リプレース・ビットをリセットするインヒビット・リプレース・ビット情報生成消波回路および上記バッファ・メモリ装置上にアクセス対象ブロックが存在しないとき上記リプレース情報を上記インヒビット・リプレース・ビット情報とともにもとづいて追い出しブロックを決定するリプレース決定回路をもつけ、予め定め

られたアドレス領域に属するデータについて追い出し対象ブロックから除外し、該ブロックが所定回数連続して追い出されるべきブロックとなつた時に前記除外を解除することにより達成される。

次に図面により本発明の詳細を説明する。

第2図は本発明の実施例によるバッファ記憶制御方式構成図、第3図～第5図は本発明の実施例によるリプレース制御回路図、第6図は同じくインヒビット・リプレース・ビット生成、消波制御回路図を示す。第2図に示す本発明のバッファ記憶制御回路はリプレース情報記憶回路4にインヒビット・リプレース情報ビット格納領域を追加したもので、このためにインヒビット・リプレース・ビット生成、消波回路1,2が追加され、かつリプレース決定回路9も変更されている。

以下第2図～第6図を使用して回路動作を説明する。

リプレース情報記憶回路4から読み出されたリプレース情報ビットはレジスタ6に、インヒビット・リプレース情報ビットはレジスタ13にセッ

トされる。

レジスタ6にセットされた6個のリプレース情報ビット1ラインの中からバッファメモリ装置に格納されている4つのブロックの使用状況を示すもので、例えばビット1～2が“1”的ときはブロック1はブロック2より新しく使用されたことを示している。“0”的ときはその逆を示している。レジスタ13は4つのブロックに対応して設けられたインヒビットリプレースビットをセットするもので、例えばビットI-1が“1”的場合は、ブロック1のリプレースを禁止する。

従来はレジスタ6のリプレース情報ビットによって決定されるリプレース順序に従って最も古くアクセスされたブロックがリプレース対象ブロックとなるが、本発明ではそのブロックのインヒビット・リプレース情報ビットが“1”になっている場合はオアゲートa-1～a-6およびアンドゲートb-1～b-6によって、そのブロックが最新になるようリプレース情報ビットI-1～I-4を変更し、その変更した情報をアンドゲートa

～1～c～4によって次の順位のリプレースすべきブロックを選択する。

第2図において比較回路7～0～7～4の全ての出力が出ない場合(即ちリプレースブロックを決定すべき場合)は、これをゲートeが検出するとアンドゲートd-1～d-4の出力リプレース1～リプレース4の何れかが“1”となって、そのブロックがリプレースされることになる。

以上説明したようにリプレース対象ブロックのインヒビットリプレースビットが“1”的場合は最も古いブロックであってもリプレースされず次の順位のブロックがリプレースされるが、次にそのリプレースされなかったブロックがリプレース対象ブロックとなつた場合はリプレースされるようになる。つまり優先アドレスのデータはリプレースブロック決定時に連続して2回最も古いブロックになると2回目でリプレースされる。

このためアンドゲートf-1～f-4およびアンドゲートg-1～g-4によってリプレース対象ブロックのインヒビットリプレースビットを“0”

にリセットするためリセットインヒビット信号1～4が出力される。

以上を具体例によって説明するに例えればレジスタ6に0001111が、レジスタ13に1000がセットされている場合、レジスタ6のリプレース情報ビットはブロック2が最新でブロック1が最も古い2>3>4>1の順位であることを示している。

この場合もレインヒビットリプレースビットI-1～I-0が0000であればリプレース対象ブロック1が選択されることになるが、この例ではインヒビットリプレースビットI-1が“1”であるのでオアゲートa-1～a-6の出力は全て“1”となる。

またインヒビットリプレースビットI-2～I-4は“0”であるのでアンドゲートb-1～b-6の出力は全て“1”となる。従ってアンドゲートc-4のみ出力“1”となり、オアゲートeの出力があった時アンドゲートd-4の出力が“1”となり、リプレース信号4が“1”となる。

またリプレース情報ビット1～2, 1～3, 1～4が“0”であり、インヒビットリプレースビットI-1が“1”であるのでアンドゲートI-1のみ出力が“1”となりオアゲートeの出力が“1”的ときアンドゲートg-1からリセットインヒビット信号が出力される。

第4図はリプレース情報記憶回路4に対する書き込み制御回路を示す。

比較回路7-0～7-4の何れかから一致出力マッチ1～マッチ4があると、そのブロックを最新であるようにリプレース情報ビットを変更するための書き込み信号1-2ライト～3-4ライトを出力する。

例えばマッチ1が“1”になるとフリップフロップj-1～j-3がセットされ1-2ライト, 1-3ライト, 1-4ライト信号が“1”になる。

リプレース信号が発生すると、リプレースされるべきブロックは主記憶装置からバッファ記憶装置へデータを転送した時に、そのブロックを最新にするためにリブリース情報ビットの変更を行な

う。

またリセットインヒビット信号1～4の何れかが“1”となると対応するブロックを最新にするため同様にリプレース情報ビットを変更する。

第5図はリプレース情報記憶回路4への書き込みデータを作成する回路を示す。

例えばマッチ2が“1”になるとフリップフロップn-1を“0”、フリップフロップn-4を“1”、フリップフロップn-5を“1”にするによりブロック2が最新となるようになる。

リプレース信号3が“1”だとフリップフロップn-2を“0”、フリップフロップn-4を“0”フリップフロップn-6を“1”にすることによりブロック3が最新になるようになる。

例えばリプレース1信号が“1”であり、かづりセットインヒビット信号2が“1”的場合はリセットインヒビット信号2を優先させる。

つまりこの場合はブロック1よりブロック2の方が最新であるようになるためフリップフロップn-1を“0”、フリップフロップn-2を“1”

フリップフロップn-3を“1”、フリップフロップn-4を“1”、フリップフロップn-5を“1”ICセットする。

第6図はインヒビットリプレースビット生成、消滅回路12を示す。

レジスタ16には優先アドレス、レジスタ15にはその有効ビットがセットされる。この例では優先指定できるアドレス領域を2Kバイトのページ単位で指定するため、レジスタ16にはアドレスの8～20ビットがセットされる。このレジスタ16に対する優先アドレスの設定はオペレータにより自由に指定できる。またプログラムによってもセットできるようにしてもよい。

このレジスタ16の内容と実効アドレスレジスタ8の8～20ビットが比較され一致すると比較回路14の出力が“1”になる。

アクセスするデータブロックがバッファメモリ装置に存在した時、あるいはリプレースが発生してバッファメモリ装置へ新たなデータを格納した時比較回路14から一致出力があるとオアゲートe

$-1 \sim 0 \sim 4$ 、アンドゲート $p - 1 \sim p - 4$ を経てレジスター 5 の対応するビット $I - 1 \sim I - 4$ の 1 つに "1" がセットされる。

同時にオアゲート $q - 1 \sim q - 4$ を経てフリップフロップアード $r - 1 \sim r - 4$ の 1 つがセットされ、リプレース情報記憶回路 4 へインヒビットリプレース情報ビット書き込み信号を送る。従ってフリップフロップアード $r - 1 \sim r - 4$ で指定されたビット位置にレジスター 5 にセットされたインヒビットリプレース情報が書き込まれる。

以上の実施例では優先アドレス領域のデータブロックは一旦バッファメモリ装置に格納された後、そのブロックがリプレース対象ブロックとなつてもリプレースされず、2 度目にリプレース対象ブロックになつてからリプレースされる例であるが、本発明は 3 度目、4 度目、… でリプレースされるよう構成してもよい。

以上説明したように本発明によると一旦バッファメモリ装置に格納された優先アドレス領域内のデータブロックと云ふども、使用頻度が小さいブ

ロックはリプレースされることになり、優先アドレス領域を固定的にバッファメモリ装置に置く方法に比べ、バッファヒット率をより高めることができる利点がある。

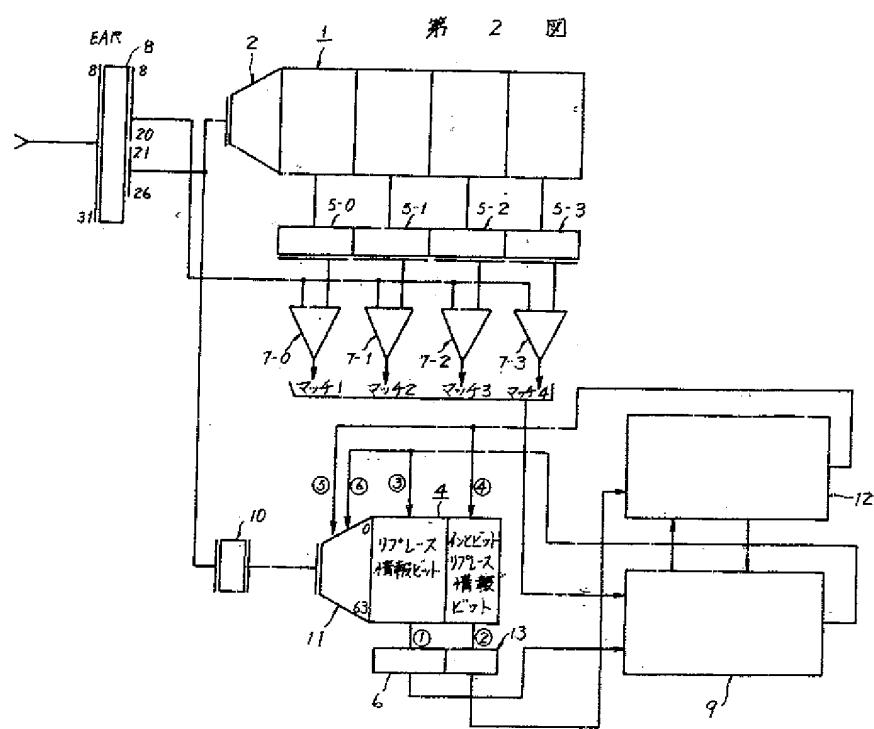
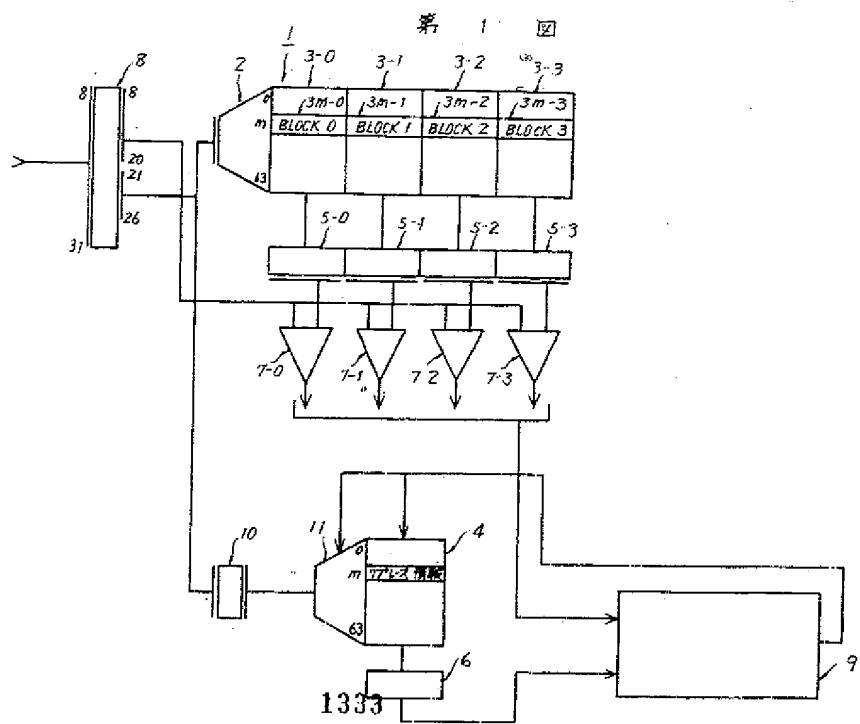
4 図面の簡単な説明

第 1 図は従来のバッファ記憶制御方式の構成図例、第 2 図は本発明の実施例によるバッファ記憶制御方式構成図、第 3 図～第 5 図は本発明の実施例によるリプレース制御回路図、第 6 図は同じくインヒビットリプレースビット生成、消滅制御回路図を示す。

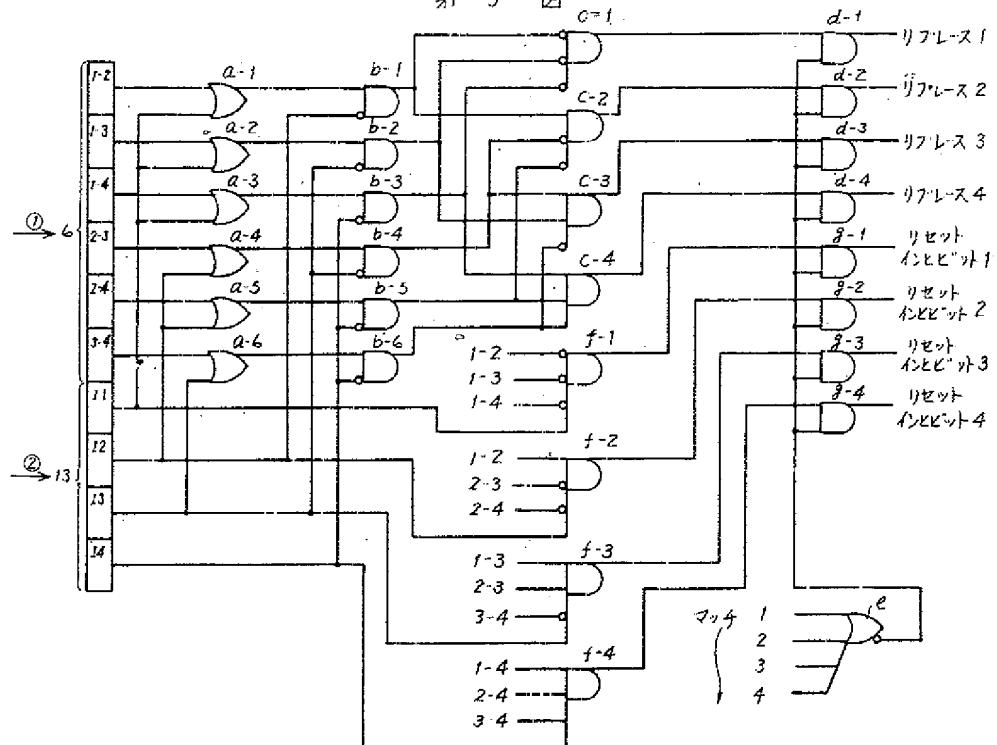
図において 1 はタグ部、2、11 はデコーダ、3 はアドレス情報格納エリア、4 はリプレース情報記憶回路、5、6、10、13、16、 $r - 5$ はレジスター、7、14 は比較回路、8 は実効アドレスレジスター、9 はリプレース決定回路、12 はインヒビットリプレースビット生成、消滅制御回路、15 は有効ビットレジスター、 $a - 1 \sim a - 6$ 、 e 、 $h - 1 \sim h - 4$ 、 $i - 1 \sim i - 6$ 、 $l - 1 \sim l - 6$ 、 $k - 1$ 、 $k - 5$ 、 $k - 8$ 、 $\delta - 1 \sim \delta - 6$ 、

4、 $q - 1 \sim q - 4$ はオアゲート、 $b - 1 \sim b - 6$ 、 $c - 1 \sim c - 4$ 、 $f - 1 \sim f - 4$ 、 $d - 1 \sim d - 4$ 、 $g - 1 \sim g - 4$ 、 $k - 2 \sim k - 4$ 、 $k - 6$ 、 $k - 7$ 、 $k - 9$ 、 $p - 1 \sim p - 4$ はアンドゲート、 $j - 1 \sim j - 6$ 、 $n - 1 \sim n - 6$ 、 $r - i \sim r - 4$ はフリップフロップを示す。

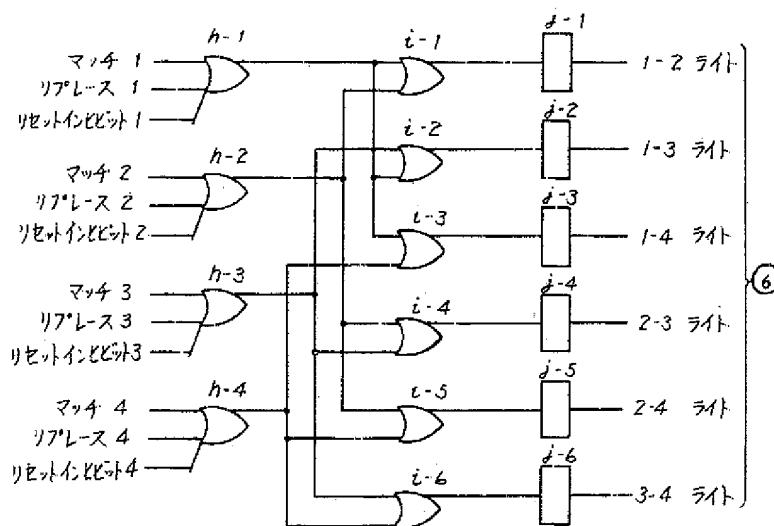
代理人弁理士 松岡 宏四郎



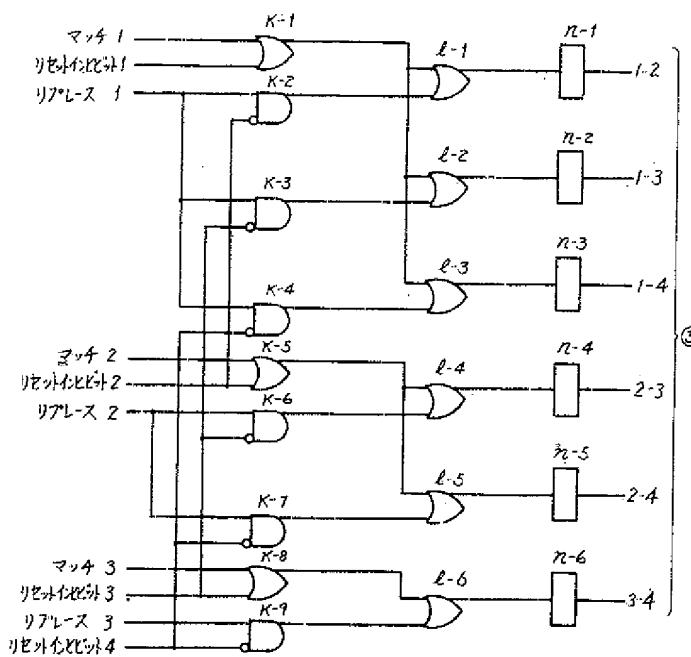
第3図



第4図



第 5 図



第 6 図

